

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

下層部側の第1導電層と上層部側の第2導電層とから成る積層体上にマスクパターンを形成する工程と、

前記積層体の側壁部をテーパー状とした第1の導電層パターンを形成する第1のエッチング処理と、

前記第1の導電層パターンに行うプラズマ処理と、

前記第1の導電層パターンを異方性エッチングして第2の導電層パターンを形成する第2のエッチング処理と

を有することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項1において、前記プラズマ処理はアルゴンプラズマ処理であること
を特徴とする半導体装置の作製方法。

【請求項 3】

請求項1において、前記プラズマ処理により、前記第1の導電層パターンの側壁部に付着する反応生成物除去すること

を特徴とする半導体装置の作製方法。

【請求項 4】

請求項1において、前記第1導電層は、金属窒化物であること
を特徴とする半導体装置の作製方法。

【請求項 5】

下層部側の第1導電層とチタン又はチタンを主成分とする上層部側の第2導電層とから成る積層体上にマスクパターンを形成する工程と、

前記積層体の側壁部をテーパー状とした第1の導電層パターンを形成する第1のエッチング処理と、

前記第1の導電層パターンに行うプラズマ処理と、

前記第1の導電層パターンを異方性エッチングして第2の導電層パターンを形成する第2のエッチング処理と

を有することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 5において、前記プラズマ処理はアルゴンプラズマ処理であること
を特徴とする半導体装置の作製方法。

【請求項 7】

請求項 5において、前記プラズマ処理により、前記第 1 の導電層パターンの側壁部に付
着する反応生成物除去すること
を特徴とする半導体装置の作製方法。

【請求項 8】

請求項 5において、前記第 1 導電層は、金属窒化物であること
を特徴とする半導体装置の作製方法。

【請求項 9】

第 1 導電層と、前記第 1 導電膜上の第 2 導電層と、前記第 2 導電層上の第 3 導電層とか
ら成る積層体上にマスクパターンを形成する工程と、

前記積層体の側壁部をテーパー状とした第 1 の導電層パターンを形成する第 1 のエッチ
ング処理と、

前記第 1 の導電層パターンに行うプラズマ処理と、
前記第 1 の導電層パターンを異方性エッチングして第 2 の導電層パターンを形成する第
2 のエッチング処理と
を有することを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 5において、前記プラズマ処理はアルゴンプラズマ処理であること
を特徴とする半導体装置の作製方法。

【請求項 11】

請求項 5において、前記プラズマ処理により、前記第 1 の導電層パターンの側壁部に付
着する反応生成物除去すること
を特徴とする半導体装置の作製方法。

【請求項 12】

請求項 5において、前記第 1 導電層は、金属窒化物であること
を特徴とする半導体装置の作製方法。

【請求項 1 3】

請求項 5において、前記第 3 導電層は、高融点金属であること
を特徴とする半導体装置の作製方法。

【請求項 1 4】

第 1 導電層と、前記第 1 導電膜上のチタン又はチタンを主成分とする第 2 導電層と、前記第 2 導電層上の第 3 導電層とから成る積層体上にマスクパターンを形成する工程と、

前記積層体の側壁部をテーパー状とした第 1 の導電層パターンを形成する第 1 のエッチング処理と、

前記第 1 の導電層パターンに行うプラズマ処理と、

前記第 1 の導電層パターンを異方性エッティングして第 2 の導電層パターンを形成する第 2 のエッティング処理と

を有することを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 1 4において、前記プラズマ処理はアルゴンプラズマ処理であること
を特徴とする半導体装置の作製方法。

【請求項 1 6】

請求項 1 4において、前記プラズマ処理により、前記第 1 の導電層パターンの側壁部に付着する反応生成物除去すること

を特徴とする半導体装置の作製方法。

【請求項 1 7】

請求項 1 4において、前記第 1 導電層は、金属窒化物であること
を特徴とする半導体装置の作製方法。

【請求項 1 8】

請求項 1 4において、前記第 3 導電層は、高融点金属であること
を特徴とする半導体装置の作製方法。

【請求項 1 9】

半導体層上にゲート絶縁膜を介して下層部側の第 1 導電層と上層部側の第 2 導電層とか
ら成る積層体上にマスクパターンを形成する工程と、

前記積層体の側壁部をテーパー状とした第 1 の導電層パターンを形成する第 1 のエッチ
ング処理と、

前記第1の導電層パターンに行うプラズマ処理と、
前記第1の導電層パターンを異方性エッチングして第2の導電層パターンを形成する第2のエッティング処理と、
前記第2の導電層パターンにおける第2導電層を遮蔽マスクとして、前記半導体層に不純物を添加して、前記第2の導電層パターンにおける第1導電層と重なる不純物が添加された領域を前記半導体層中に形成する工程と
を有することを特徴とする半導体装置の作製方法。

【請求項20】

請求項19において、前記プラズマ処理はアルゴンプラズマ処理であること
を特徴とする半導体装置の作製方法。

【請求項21】

請求項19において、前記プラズマ処理により、前記第1の導電層パターンの側壁部に付着する反応生成物除去すること
を特徴とする半導体装置の作製方法。

【請求項22】

請求項19において、前記第1導電層は、金属窒化物であること
を特徴とする半導体装置の作製方法。

【請求項23】

半導体層上にゲート絶縁膜を介して第1導電層と、前記第1導電膜上の第2導電層と、
前記第2導電層上の第3導電層とから成る積層体上にマスクパターンを形成する工程と、
前記積層体の側壁部をテーパー状とした第1の導電層パターンを形成する第1のエッティング処理と、

前記第1の導電層パターンに行うプラズマ処理と、
前記第1の導電層パターンを異方性エッチングして第2の導電層パターンを形成する第2のエッティング処理と、

前記第2の導電層パターンにおける第2導電層と第3導電層を遮蔽マスクとして、前記半導体層に不純物を添加して、前記第2の導電層パターンにおける第1導電層と重なる不純物が添加された領域を前記半導体層中に形成する工程と
を有することを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 2 3において、前記プラズマ処理はアルゴンプラズマ処理であること
を特徴とする半導体装置の作製方法。

【請求項 2 5】

請求項 2 3において、前記プラズマ処理により、前記第 1 の導電層パターンの側壁部に
付着する反応生成物除去すること
を特徴とする半導体装置の作製方法。

【請求項 2 6】

請求項 2 3において、前記第 1 導電層は、金属窒化物であること
を特徴とする半導体装置の作製方法。

【請求項 2 7】

請求項 2 3において、前記第 3 導電層は、高融点金属であること
を特徴とする半導体装置の作製方法。

【請求項 2 8】

下層部側の第 1 導電層とチタン又はチタンを主成分とする上層部側の第 2 導電層とから
成るゲート電極を有し、

前記第 1 導電層は前記第 2 導電層よりも幅が広いこと
を特徴とする半導体装置。

【請求項 2 9】

請求項 2 3において、前記第 1 導電層は、金属窒化物であること
を特徴とする半導体装置。

【請求項 3 0】

第 1 導電層と、前記第 1 導電膜上のチタン又はチタンを主成分とする第 2 導電層と、前
記第 2 導電層上の第 3 導電層とから成るゲート電極を有し、

前記第 1 導電層は前記第 2 導電層および前記第 3 導電層よりも幅が広いこと
を特徴とする半導体装置。

【請求項 3 1】

請求項 3 0において、前記第 1 導電層は、金属窒化物であること
を特徴とする半導体装置。

【請求項 3 2】

請求項 3 0において、前記第 3 導電層は、高融点金属であること
を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁ゲート型電界効果トランジスタの作製方法に係り、特にゲートオーバーラップ構造の薄膜トランジスタ（TFT：Thin Film Transistor）に適用することができる半導体装置の作製方法に関する。

【0002】

【従来の技術】

液晶を用いた表示装置は、液晶テレビ受像機に代表されるように20インチを越える大型画面の製品が実用化されている。近年では多結晶シリコン膜を活性層に用いたTFTで、駆動回路一体型の液晶表示装置が実現されている。

【0003】

しかし、多結晶シリコン膜を用いたTFTはドレイン接合耐圧が低く、接合漏れ電流（以下、オフリーク電流と呼ぶ）が大きくなるという欠点が指摘されている。その対策として、低濃度ドレイン（LDD：Lightly Doped Drain）構造を形成することが有効であることが知られている。

【0004】

また、ドレイン領域近傍での高電界が生じ、発生したホットキャリアがLDD領域上のゲート絶縁膜にトラップされ、しきい値電圧など素子特性が大幅に変動し、低下する現象が問題として指摘されている。ホットキャリアによる劣化を防止するための手段として、LDD領域がゲート電極とオーバーラップした構造のTFTが開示されている（特開2000-294787号公報参照。）。ゲートオーバーラップLDD構造のTFTは、通常のLDD構造のTFTと比較して電流駆動能力が高く、ドレイン領域近傍での高電界を有效地に緩和してホットキャリアによる劣化を抑止している。

【0005】

しかしながら、上記公報に開示されたゲートオーバーラップLDD構造のTFTは、LDDを形成する不純物領域を半導体層に形成した後ゲート電極を重ね合わせることで、設計ルールの縮小に伴いゲート電極とのオーバーラップ量を正確に作り込むことができない。

【0006】

自己整合的にゲートオーバーラップLDD構造のTFTを作製する好適な一例として、

少なくとも2層積層した導電層を1回の光露光処理と複数回のエッチング加工により、上層部と下層部の導電層の寸法を異ならせ、その寸法差と膜厚差を利用してイオンドーピングすることにより自己整合的にゲート電極とオーバーラップするLDD領域を形成することを可能とする技術が開示されている（例えば、特開2002-14337号公報参照。）。

【0007】

勿論、ホットキャリアの劣化対策としてゲート電極とオーバーラップするLDDの機能を最大限に発揮させるためには、TFTの駆動電圧に応じてLDDの長さ（チャネル長に対する長さ）を最適化する必要がある。すなわち、ドレイン領域近傍の高電界を有效地に緩和するのに最適な長さがある。

【0008】

【発明が解決しようとする課題】

上記公報が開示する技術は、2層積層された導電層をテーパー形状にエッチング加工する第1段階と、テーパー形状を有する導電層のうち、上層のみを選択的に異方性エッチング加工する第2段階とを有し、テーパー角を制御することによりLDDの長さを調節できる点に特徴がある。

【0009】

チャネル長 $10\text{ }\mu\text{m}$ 程度のTFTに対し $10\sim20\text{ V}$ で駆動するには、 $1\text{ }\mu\text{m}$ 以上（好ましくは $1\sim5\text{ }\mu\text{m}$ 以上）のLDD長さ（ゲート電極とオーバーラップする部位の長さ）が必要となる。

【0010】

少なくとも2層の積層構造を有するゲート電極を用いる従来の技術では、LDDの長さを制御するにはゲート電極の加工段階における端部のテーパー角（基板表面と成す角度）を小さくする必要がある。それにはマスクパターンの後退量を大きくする必要がある。

【0011】

しかし、2層積層構造体の第1導電層を窒化タンタルとして、前記第2導電層をチタン、又はチタンを主成分とする金属としたゲート電極を形成する場合、テーパーエッチング加工によって、LDD領域の長さを $1\text{ }\mu\text{m}$ 以上好ましくは $1\sim5\text{ }\mu\text{m}$ 確保するために必要なテーパー形状を得ることが難しく、すなわち、導電膜端部のテーパー角が大きくなってしまうことが問題となっている。その後異方性エッチング加工しても、第2導電層端部に工

ッチング残り（裾引き）が生じてしまい、LDD領域として作用する部分が短くなってしまう。3層積層構造体にした場合も上記同様エッチング残り（裾引き）が発生してしまい同様な問題が発生する。

【0012】

ゲート電極に限らず、マスクパターンに基づいて被膜の端部又は側壁部をテーパー形状にエッチング加工するには、ドライエッチング法でマスクパターンの幅を同時に後退させながら被加工物をエッチングすることで可能となる。その為にはエッチングするガス種の選択と、バイアス電圧の制御、マスクパターンの材料と被膜との選択比が重要となる。

【0013】

本発明は2層または3層の積層構造のゲート導電層をテーパーエッチング加工の後、異方性エッチング加工にて第2導電膜端部にエッチング残りが生じてしまうことから結果的に、LDD領域が短くなってしまう為、前記第2導電膜端部のエッチング残りを低減もしくは除去することで必要なLDD領域の長さを確保することを目的とする。

【0014】

【課題を解決するための手段】

テーパーエッチング加工の際、十分なテーパーが得られないため、少しでもLDD領域を長くするのに第2導電層端部のエッチング残り（裾引き）の除去は必要になる。本発明は、2層または3層に積層された導電層をテーパーエッチング加工と異方性エッチング加工の間にアルゴンプラズマ処理を追加することにより、その後異方性エッチング加工により第2導電膜端部に発生するエッチング残り（裾引き）を低減もしくは除去する役割をする。

【0015】

ホットキャリアに対する劣化を抑制するために必要なゲート電極とオーバーラップするLDDの長さ（以下、この長さを便宜上 L_{ov} と表記する）については以下のように考察する。

【0016】

まず、TFTの劣化に対して L_{ov} が所定の値である場合に、電界効果移動度の最大値が10%低下する時間を寿命時間と定義して、図10で示すようにドレイン電圧の逆数を片対数グラフにプロットして得られる直線的な関係から、寿命時間が10年となる電圧を10年保証電圧として導出する。例えば、図10において、 L_{ov} が $1.0\mu m$ のTFT

における10年保証電圧は16Vである。なお、液晶パネル中の高電圧電源は16Vであることが多く、2割のマージンを持たせた19.2V以上の保証電圧が得られることが求められている。図9はこのようにして求めた推定保証電圧を、LoVが0.5μm、0.78μm、1.0μm、1.5μm、1.7μmのそれぞれの場合における値をプロットしたグラフである。また図9では、バイアスストレス試験で、TFTのオン電流値が10%変動するまでの時間が20時間となるドレイン電圧値を20時間保証電圧として示している。

【0017】

ホットキャリア効果による劣化は、駆動電圧が低ければほとんど問題とならないが、10V以上で駆動する場合には無視できなくなる。図9から明らかなように、駆動電圧が16Vである場合には、LoVが1μm以上、好ましくは1.5μm以上とする必要があることを示している。

【0018】

上記要件を満足するために、本発明は、自己整合的にゲート電極とオーバーラップするLDDを形成する半導体装置の作製方法であって、ゲート電極を複数の導電層から成る積層体で形成し、その形状を第1導電層と第2導電層のチャネル長方向の幅が、下層である第1導電層の方が長い形状と共に、当該ゲート電極LDDを形成するイオンドーピング時のマスクとして利用するものである。この時、ゲート電極とオーバーラップするLDDを好ましくは1.5μm以上するために、ゲート電極を形成するマスクパターンの形状に加工を加え、ドライエッチングと組み合わせることで最適な形状を得る特徴を有する。

【0019】

本発明は、金属窒化物と、チタン又はチタンを主成分とする金属との積層体上にマスクパターンを形成して、積層体の側壁部をテーパー状とした第1の導電層パターンを形成する第1のエッチング処理と、第1の導電層パターンを異方性エッチングする第2のエッチング処理とを行う工程を有し、第1のエッチング処理と第2のエッチング処理との間に不活性気体によるプラズマ処理を行うというものである。

【0020】

本発明は、半導体層上にゲート絶縁膜を介して下層部側の第1導電層と、上層部側の第2導電層とから成る積層構造体を形成し、その積層構造体上にマスクパターンを形成し、

第2導電層及び第1導電層をテーパーエッチングした後、アルゴンプラズマを照射し、当該マスクパターンに基づいて第1の導電層パターンにおける第2導電層を選択的にエッチングして第2の導電層パターンを形成することで第1導電層と第2導電層のチャネル方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは $1\text{ }\mu\text{m}$ 以上とすることが可能となり、これを電界で加速されたイオンの遮蔽マスクとして用いることで第1導電層パターンと重なる低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。勿論、第2の導電層パターンはゲート電極と用いることができる。

【0021】

上記発明において、適した第1導電層と第2導電層の組み合わせは、第1導電層は窒化タンタルであり、第2導電層はチタン又はチタンを主成分とする金属である。

【0022】

本発明は、半導体層上にゲート絶縁膜を介して、第1導電層、第2導電層、第3導電層を順次積層して積層構造体を形成し、その上にマスクパターンを形成してそれぞれ端部にテーパー部を有する第1の導電層パターンを形成し、このテーパーエッチング加工後、アルゴンプラズマを照射し、当該マスクパターンに基づいて第1の導電層パターンにおける第3導電層及び第2導電層を選択的にエッチングして第2の導電層パターンを形成することで、第1導電層と第2導電層のチャネル長方向の幅が異なり、第1導電層の方が長い第2の導電層パターンが形成される。第1導電層が突出する長さは $1\text{ }\mu\text{m}$ 以上とすることが可能となり、これを電界で加速されたイオンの遮蔽マスクとして用いることで第1導電層パターンと重なる低濃度ドレイン領域を形成することが可能となる。即ち、自己整合的に低濃度ドレイン領域を形成することができる。勿論、第2導電層パターンはゲート電極として用いることができる。

【0023】

上記発明において、適した第1導電層と第2導電層と第3導電層との組み合わせは、第1導電層は窒化タンタルであり、第2導電層はチタン又はチタンを主成分とする合金もしくは化合物であり、第3導電層は窒化チタンである。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細を説明する。なお、本発明は以

下に示す実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容するものである。

【0025】

[実施形態1]

本実施形態では、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(Lov)を1μm以上とするための工程について示す。詳しくは、第1の導電層パターンを形成した後、テーパー形状になった積層構造体のテーパー側壁部導電層へアルゴンプラズマ処理を行い、当該マスクパターンに基づいて第1の導電層パターンにおける第2導電層パターンを選択的にエッティングして第2の導電層パターンを形成する一様について説明する。

【0026】

図1(A)においてガラス基板100上に第1絶縁膜(下地膜)101、半導体層102、第2絶縁膜(ゲート絶縁膜)103が形成され、その上に第1導電層104、第2導電層105、第3導電層106が形成されている。マスクパターン107は光露光工程によりフォトレジストを用いて形成する。

【0027】

第1導電層は窒化タンタル(TaN)などの高融点金属を30~50nmの厚さで形成し、第2導電層はチタン、又はチタンを主成分とする合金もしくは化合物で300~600nmの厚さに形成する。

【0028】

第3導電層は窒化チタン(TiN)などの高融点金属を用いる。但し、第3導電層はコンタクト抵抗を下げたいために設けるものであり、本発明の構成において必須の構成要件とはならない。窒化チタンはチタンと同じエッティングガスで加工できるので、第2導電層をチタン、又はチタンを主成分とする合金もしくは化合物とする組み合わせにより、加工を容易とする。

【0029】

次に、図1(B)に示すように、ドライエッティングにより第2導電層105と第3導電層106のエッティングを行う。エッティングガスには、CF₄、Cl₂、O₂を用いる。エッティング速度の向上にはECR(Electron Cyclotron Resonance)やICP(Inductively Coupled Plasma)などの高密度プラズマ源を用いたドライエッティング装置を用いる。

【0030】

レジストで形成したマスクパターン107は電界で加速されたイオンによりスパッタされ、反応副生成物が被加工物の側壁に付着する。これは側壁保護膜とも呼ばれるが、この段階の加工でチタンを主成分とする第2導電層をテーパー形状とする理由は、この側壁保護膜の排除である。つまり、図3(A)で示すようにテーパー部を有する第2導電層105に対し、その後異方性エッチングを行なっても反応副生成物が側壁に堆積しにくいので、図3(B)で示すように残渣を残すことなくエッチング加工して第2・第3導電層105'・106'のパターンを形成することができる。これに対し図4(A)のように第2導電層105の側壁がほぼ垂直であるとエッチング加工時に反応副生成物が堆積し、図4(B)で示すようにその後異方性エッチングしても、その反応副生成物が残ってしまう。すなわち、この段階で少なくとも第2導電層をテーパー形状に加工しておくと側壁保護膜を排除することができる。

【0031】

次に、エッチングガスを CF_4 、 Cl_2 に切り替えて第1導電層である窒化タンタルのエッチングを行う。勿論、導電層の全層を同時にエッチングしても良いが、膜厚の厚い第2導電層105のエッチング時にはエッチング速度のバラツキを見込んでエッチング時間を長めに設定する必要がある。その場合、下地が酸化珪素であるとエッチングされて極端に薄くなってしまう。これを防ぐためこのように二段階のエッチング加工を行う。

【0032】

こうして、図1(C)で示すように、第2絶縁膜103上に第1導電層104'、第2導電層105'、第3導電層106'から成る第1の導電層パターン108が形成される。端部におけるテーパー形状の基板100の表面と成す角度は10~20度にする。この角度は主に第2導電層の膜厚との関係で決まるが、このテーパー部の占める長さが0.5~1.5 μm となるようにする。

【0033】

各導電膜をテーパー加工した後、アルゴンプラズマ処理することによって、テーパー側壁部に付着していた反応生成物を除去する。このアルゴンプラズマ処理を行なわないと、後の異方性エッチング条件にて加工しようとしても反応生成物がストッパーとなり、第2導電層端部にエッチング残り(裾引き)が生じ、目的である、できるだけ垂直に近い形状が形成されにくく、第2導電層端部のエッチング残り防止のため、テーパー加工後のアル

ゴンプラズマ処理は必要となる。（図1（D））。

【0034】

そして、エッティングガスにBCI₃、CI₂、O₂を用いて、第2導電層105'及び第3導電層106'をマスクパターン107'に基づいて選択的にエッティングする。この場合、基板側に印加するバイアス電圧は低くして第1導電層104'は残存せしめるようとする。第2導電層105'の端部は第1導電層104'の端部よりも内側に後退し、後述するようにその後退幅でL₀vの長さが決まる。こうして、第1導電層104'、第2導電層105''、第3導電層106''から成る第2の導電層パターン109が形成され、これが半導体層102と交差する部位においてゲート電極となる。（図1（E））。

【0035】

半導体層103への一導電型不純物の添加、すなわちLDDやソース・ドレイン領域の形成は、第2の導電層パターン109を用いて自己整合的に形成することができる。図2（A）はゲート電極とオーバーラップするLDDを形成するためのドーピング処理であり、一導電型不純物のイオンを第一導電層104'を通過させて、その下層部に位置する半導体層102に添加して第1濃度の一導電型不純物領域110を形成する。第2絶縁層や第1導電層の膜厚にもよるが、この場合には50kV以上の加速電圧を要する。第1濃度の一導電型不純物領域110の不純物濃度は、LDDを前提とすると $1 \times 10^{16} \sim 5 \times 10^{18}$ atom/mscm³（ピーク値）とする。

【0036】

ソース・ドレイン領域を形成するドーピング処理は、第2の導電層パターン109をイオンの遮蔽マスクとして用い、第1濃度の一導電型不純物領域110の外側に第2濃度の一導電型領域111を形成する。この場合には加速電圧を30kV以下として行う。第2濃度の一導電型不純物領域111の不純物濃度は $1 \times 10^{19} \sim 5 \times 10^{21}$ atom/cm³（ピーク値）とする。（図2（B））

【0037】

その後、窒化珪素を用いる第3絶縁層112、低誘電率の有機化合物材料を用いた第4絶縁膜113、配線114を形成する。（図2（C））

【0038】

以上のように、本実態形態は、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ（L₀

v) を $1 \mu\text{m}$ 以上有するTFTを形成することができる。ゲート電極とオーバーラップするLDD領域の長さを $1 \mu\text{m}$ 以上とし、ホットキャリア劣化しにくい構造とすることができる。

【0039】

【実施例】

(実施例1)

本実施例は、実施形態1に基づく工程に従って、ゲート電極を加工する一例について示す。本実施例は図1を参照して説明する。

【0040】

まず、アルミニノシリケートガラス基板100上にプラズマCVD法で 150 nm の酸窒化珪素膜で第1絶縁層101を形成する。半導体層102は 50 nm の非晶質珪素膜をレーザーアニールにより結晶化した結晶性珪素膜で形成し、島状に孤立分離するように形成する。第2絶縁膜103は、SiH₄とN₂OをソースガスとしてプラズマCVD法により 115 nm の酸窒化珪素膜を形成する。窒化タンタルで形成する第1導電層104は 30 nm の厚さとし、チタンで形成する第2導電層105は 320 nm の厚さとし、窒化チタンで形成する第3導電層106は 50 nm で形成する。マスクパターン107はポジ型のフォトレジストで $1.5 \mu\text{m}$ の厚さに形成する。マスクパターンの幅は適宜設定すれば良いが、本実施例においては $4.5 \mu\text{m}$ と $10 \mu\text{m}$ のマスクパターンで光露光形成した。

(図1(A))

【0041】

次に、ドライエッティングにより第2導電層(チタン)105と第3導電層(窒化チタン)106のエッティングを行う。エッティングにはICPエッティング装置を用いる。図5はICPエッティング装置の構成を示す。反応室801にはエッティング用のガス供給手段803、反応室内を減圧状態に保持する排気手段804が連結されている。プラズマ生成手段は反応室801に石英板を介して誘導結合するスパイラルコイル802、高周波(13.56MHz)電力供給手段805から成っている。基板側へのバイアス印加は高周波(13.56MHz)電力供給手段806で行ない、基板を記載するステージに自己バイアスが発生するような構成となっている。エッティング加工には供給するエッティングガス種と、高周波(13.56MHz)電力供給手段806、807により供給されるそれぞれの高周波電力、エッティング圧力が主なパラメーターとなる。

【0042】

図1 (B) のエッティング加工には、エッティングガスとして CF_4 、 Cl_2 、 O_2 を用いる。エッティング圧力は 1. 3 Pa とし、 500 W のプラズマ生成用の電力、 300 W の基板バイアス用の電力を供給する。続いて図1 (C) に示すようにエッティングガスを CF_4 、 Cl_2 に切り替えて第1導電層である窒化タンタルのエッティングを行う。この時のエッティング条件は、エッティング圧力 1. 5 Pa、 500 W のプラズマ生成用の電力、 10 W の基板バイアス用の電力を供給する。以上のようにして、第1導電層パターン 108 が形成することができる。

【0043】

その後、第1導電層パターン 108 のテーパー側壁部に付着しているストッパー膜とされる反応生成物 (TiO_x) を除去又は減少させるためアルゴンプラズマ処理を行う。このアルゴンプラズマ処理では、同様に ICP エッティング装置を用い、アルゴンを 150 sccm 供給し、 2. 0 Pa の処理圧力で 450 W のプラズマ生成用の電力、 100 W の基板バイアス用の電力を供給し 30 sec の処理を行う。

【0044】

次に、エッティングガスに BCl_3 、 Cl_2 、 O_2 を用いて異方性エッティングを行ない、主として第2導電層 105' の加工を行う。エッティング圧力は 1. 9 Pa とし、 500 W のプラズマ生成用の電力、 10 W の基板バイアス用の電力を供給する。第2導電層 105' の端部は第1導電層 104' の端部よりも内側に後退する。こうして第2導電層パターン 109 が形成され、これが半導体層 102 と交差する部位においてゲート電極となる。そして、第1導電層 104' の端部からの後退幅は 1 μm 以上とすることができる。図6で示すようにこの後退幅 d が L_{ov} 長を決める長さとなる。

【0045】

図7、図8はテーパー加工後、アルゴンプラズマ処理、そして異方性エッティング加工を行なった場合の代表的な加工形状を示す走査電子顕微鏡 (SEM) 像である。下層から窒化タンタル層、チタン層、窒化チタン層、マスク材であるレジストが積層形成されている状態を示している。同図は斜方及び断面から観察した SEM 像であり、チタン層の後退幅もしくは窒化タンタル層の突出幅は 1. 0 μm 程度と見込まれている。

【0046】

以降、LDD を形成する第1濃度の一導電型不純物領域 110 に $1 \times 10^{16} \sim 5 \times 10^{18}$ atom/cm³ (ピーク値) の濃度でリン又はボロンを 50 kV の加速電圧でイオンドーピング

処理により添加する。（図2（A））

【0047】

さらに、ソース・ドレイン領域を形成するドーピング処理は、第2の導電層パターン109をイオンの遮蔽マスクとして用い、第1濃度の一導電型不純物領域110の外側に第2濃度の一導電型不純物領域111を形成する。この場合には加速電圧を10kVとして、リン又はボロンの濃度を $1 \times 10^{19} \sim 5 \times 10^{21}$ atom/cm³（ピーク値）として形成する。（図2（B））

【0048】

その後、プラズマCVD法で水素を含有する酸窒化珪素を100nmの厚さで形成し、感光性又は非感光性のアクリル又はポリイミド樹脂を1μmの厚さに形成して第4絶縁層113を形成する。さらに必要に応じて配線114を形成する。

【0049】

以上のようにして、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ（L_{ov}）を1μm以上有するTFTを形成することができる。

【0050】

（実施例2）

本発明は様々な表示画面を設けた半導体装置に適用することができる。特に表示画面の対角が20インチを越える大画面の半導体装置に対して有効である。

【0051】

図12は表示パネル901を筐体900に組み込んだ半導体装置の一構成例であり、テレビ受像機やコンピューターのモニタシステムとして適用できるものである。筐体900には半導体集積回路で形成した増幅器や高周波回路、及びメモリ機能として半導体メモリもしくはハードディスクなど磁気メモリなどを組み込んで画像表示機能を充足させる電子回路基板902や音声を再生するスピーカ903が装着されている。

【0052】

表示パネル901は本発明に係るゲートオーバーラップTFTを用いて、TFTをマトリクス状に配列させて成るアクティブマトリクス画素回路904、走査線駆動回路905、データ線駆動回路906を一体形成したドライバー一体型とすることができます。

【0053】

図11はアクティブマトリクス画素回路904の主要な構成を示す図である。半導体層

301と交差するゲート電極302とデータ信号線303が同一層で形成されている。すなわち、少なくともチタンを主成分とする導電層を一層含む積層体で形成され、そのゲート電極もしくは配線のパターンを形成するエッチング加工は実施例1により行うものである。これにより、 L_{ov} 長が1μm以上のゲートオーバーラップTFTを形成することが可能であり、データ信号線も低抵抗化を図ることができる。ゲート信号線304は層間絶縁膜を介してその上層に形成され、コンタクトホールを介してゲート電極302と接続する構成となっている。勿論、この配線もチタン及びアルミニウムで形成可能であり、配線の低抵抗化を実現できる。データ信号線303と半導体層301を接続する配線305もゲート信号線304と同一層で形成可能である。画素電極306は酸化インジウムと酸化スズの化合物であるITO(Indium Tin Oxide)を用いて形成している。なお、このような画素の詳細については、特開2001-313397号公報で開示されている。

【0054】

本実施例では半導体装置に一例を示したが、本発明は本実施例に限定されず様々な半導体装置に適用することができる。例えば、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピューター、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）に加え、冷蔵庫装置、洗濯機、炊飯器、固定電話装置、真空掃除機、体温計など家庭電化製品から、電車内の吊し広告、鉄道駅や空港の発着案内版など大面積のインフォメーションプレイまで様々な分野に適用することができる。

【0055】

なお、本発明における実施例については以上のように示されているが、本発明の趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるものである。

【0056】

【発明の効果】

以上説明したように、本発明によれば、ゲート電極を複数の導電層から成る積層体で形成し、その形状を第1導電層と第2導電層のチャネル方向の幅より、第1導電層の方が長い形態とする加工工程において、テーパーエッチング加工後、反応生成物減少又は除去させるのを目的としたアルゴンプラズマ処理を設けることで、異方性エッチング加工の際、途中エッチングストップが生じることによる第2導電層端部にエッチング残り（裾引き）

異常が回避される。第2導電層端部のエッティング残り（裾引き）が無くなる結果、第1導電層のチャネル長方向の長さを $1\text{ }\mu\text{m}$ 以上とすることができます。このゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDD領域の長さを $1\text{ }\mu\text{m}$ 以上とし、ホットキャリア劣化に対する寿命時間を長大化することができる。

【0057】

また、本発明により、ゲート電極をイオンドーピング時のマスクとして用い、ゲート電極とオーバーラップするLDDを自己整合的に形成し、且つ、その長さ(L_{ov})を $1\text{ }\mu\text{m}$ 以上を有するTFTを形成することができる。ゲート電極とオーバーラップするLDD領域の長さを $1\text{ }\mu\text{m}$ 以上とし、ホットキャリア劣化に対する寿命時間を長大化することができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の作製工程を説明する断面図である。

【図2】 本発明の半導体装置の作製工程を説明する断面図である。

【図3】 テーパーエッティングによる反応副生成物の除去効果を説明する図である。

【図4】 テーパーエッティングを行わない場合における反応副生成物の影響を説明する図である。

【図5】 ICPエッティング装置の構成を説明する図である。

【図6】 第2導電層の後退幅 d とゲートオーバーラップTFTの L_{ov} 長の関係を説明する図である。

【図7】 実施例1に従いエッティング加工された導電層パターンの形状を斜方から見たSEM像である。

【図8】 実施例1に従いエッティング加工された導電層パターンの断面形状を示すSEM像である。

【図9】 推定保証電圧(オン電流10%劣化)の L_{ov} 長依存性を示すグラフである。

【図10】 バイアスストレス試験に基づくTFTの寿命時間を推定する特性図であり L_{ov} 長依存性について示すグラフである。

【図11】 本発明に係る半導体装置のアクティブマトリクス型の画素の構成を示す上面図である。

【図12】 半導体装置の一例を示す図である。

【書類名】 要約書

【要約】

【課題】 2層または3層の積層構造のゲート導電層をテーパーエッチング加工の後、異方性エッチング加工を行う際に、第2導電膜端部にエッチング残りが生じ、LDD領域が短くなってしまう。前記第2導電膜端部のエッチング残りを低減もしくは除去することでLDD領域を長くすること目的とする。

【解決手段】 2層または3層の積層構造のゲート導電層をテーパーエッチング加工の後にアルゴンプラズマ処理を行う。このアルゴンプラズマ処理により、テーパーエッチング加工時の反応性生物が除去され、次に行う異方性エッチング時の前記第2導電膜端部のエッチング残りを低減もしくは除去することが可能となる。

【選択図】 図1 (D)